

print out

Patent/Publication No. 466652

Title Wafer level package and its process thereof

Publication Date 2001/12/01

Application Date 2000/01/31

Application No. 089101604

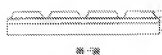
Certification_Number 146669

IPC H01L-021/60

Inventor YANG, WEN-KUN TW

Applicant YANG, WEN-KUN TW

Abstract The present invention includes polishing the wafer backside by a grinder. Subsequently, a glass is laminated on the wafer backside surface by using epoxy. Then, the wafer is etched to isolate the dies. An epoxy is then coated on the wafer by means of vacuum coating process. Then, a curing step is performed by using the ultraviolet (UV) radiation to harden the epoxy. A grinding process is optional used to grind the epoxy on the wafer circuit side. A plurality of pad openings is formed in the epoxy. Subsequently, a pad circuit re-distribution is arranged over the upper surface of the epoxy. A solder mask covers the epoxy and the pad circuit for isolation. A



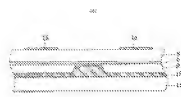
printing process is carried out to print solder on the pre-determined area and the solder contacts to the pad circuit. Then, the solder is re-flow, and the wafer is then set to a testing apparatus for wafer level testing. A sawing process is next performed after the wafer-level test to separate the dice by cutting the scribe line, thereby obtaining the chip scale package (CSP).

Individual

T

Patent Right Change

| | |
|----------------------------|-----------|
| Application Number | 089101604 |
| Date of Update | 20091208 |
| Licensing Note | No |
| Mortgage Note | No |
| Transfer Note | Yes |
| Succession Note | No |
| Trust Note | No |
| Opposition Note | No |
| Invalidation Note | No |
| Cessation Note | |
| Revocation Note | |
| Issue date of patent right | 20011201 |
| Patent expiry date | 20200130 |
| Maintenance fee due | 20101130 |
| Years of annuity paid | 9 |



圖五圖

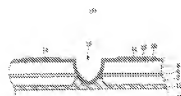


圖六圖



圖七圖

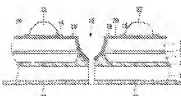
— 500C —



圖八圖



圖九圖



圖一〇圖

— 500C —

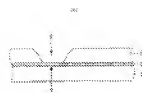


圖 1 之圖

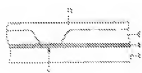


圖 2 之圖



圖 3 之圖

- 0000 -

(2)

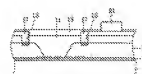


圖 4 之圖

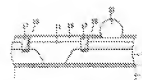


圖 5 之圖

- 0000 -

| | | |
|----------------|-------|--------------|
| 申請日期: 89 | 1. 31 | 案號: 89101604 |
| 類別: H01L 21/60 | | |

(以上各欄由本局填註)

發明專利說明書

466652

| | | |
|------------|--------------------|----------------------|
| 一、 發明名稱 | 中文 | 晶圓型態封裝及其製程 |
| | 英文 | |
| 二、 發明人 | 姓名 (中文) | 1. 楊文焜 |
| | 姓名 (英文) | 1. WEN-KUN YANG |
| | 國籍 | 1. 中華民國 |
| | 住、居所 | 1. 新竹市仙水里18鄰安康街6巷47號 |
| 三、 申請人 | 姓名 (名稱) (中文) | 1. 楊文焜 |
| | 姓名 (名稱) (英文) | 1. WEN-KUN YANG |
| | 國籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹市仙水里18鄰安康街6巷47號 |
| | 代表人 姓名 (中文) | 1. |
| | 代表人 姓名 (英文) | 1. |



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

四、中文發明摘要 (發明之名稱：)

晶圓型態封裝及其製程

本發明包含藉由研磨器研磨晶圓背面，接著，藉由環氧樹脂將玻璃貼附於晶圓背面，然後，蝕刻晶圓用以隔離晶粒。藉由真空塗佈製程環氧樹脂塗佈於晶圓之上，然後，一固化步驟使用紫外光輻射以硬化環氧樹脂，選擇性使用研磨製程研磨晶圓電路面之環氧樹脂。複數個墊開口形成於環氧樹脂之中，接著，墊電路重新分佈於環氧樹脂之上表面。鉅錫罩幕覆蓋於環氧樹脂及墊電路做為絕緣，執行一印刷製程將鉅錫形成於預設區域及鉅錫接觸至墊電路。然後，熱回流鉅錫，即將晶圓設置於測試裝置做晶圓型態測試。在測試後一切割製程接著執行藉由切割切割道用以

英文發明摘要 (發明之名稱：)

Abstract of the Disclosure

The present invention includes polishing the wafer backside by a grinder. Subsequently, a glass is laminated on the wafer backside surface by using epoxy. Then, the wafer is etched to isolate the dies. An epoxy is then coated on the wafer by means of vacuum coating process. Then, a curing step is performed by using the ultraviolet (UV) radiation to harden the epoxy. A grinding process is optional used to grind the epoxy on the wafer



四、中文發明摘要 (發明之名稱：)

將晶粒分離，因而得到晶片尺寸封裝。

英文發明摘要 (發明之名稱：)

circuit side. A plurality of pad openings is formed in the epoxy. Subsequently, a pad circuit re-distribution is arranged over the upper surface of the epoxy. A solder mask covers the epoxy and the pad circuit for isolation. A printing process is carried out to print solder on the pre-determined area and the solder contacts to the pad circuit. Then, the solder is re-flow, and the wafer is then set to a testing apparatus for wafer level testing. A sawing process is next performed



四、中文發明摘要 (發明之名稱：)

英文發明摘要 (發明之名稱：)

after the wafer-level test to separate the dice by cutting the scribe line, thereby obtaining the chip scale package (CSP).



五、發明說明 (1)

發明領域：

本發明與封裝技術有關，特別是一種有關晶圓型態之封裝技術。

發明背景：

隨著半導體技術之快速演進，電子產品在輕薄短小、多功能速度快之趨勢的推動下，IC半導體的I/O數目不但越來越多密度亦越來越高，使得封裝元件的引腳數亦隨之越來越多，速度的要求亦越來越快，導致元件耗功率越來越大，所以增進封裝之散熱效果，則日趨重要。半導體晶片通常個別地封於塑膠或陶瓷材料之封裝體之內。封裝體之結構必須可以保護晶片以及將晶片操作過程中所產生之熱散出，傳統之封裝亦被用來作為晶片功能測試時之用。目前，封裝也越做越小以符合目前之趨勢，而高數量I/O之封裝也伴隨球矩陣排列封裝技術(ball grid array;以下簡稱BGA封裝)技術之發展而有所突破，因此，IC半導體承載的封裝趨向於利用球矩陣排列封裝技術(BGA)。BGA構裝的特點是，負責I/O的引腳為球狀較導線架構裝元件之細長引腳距離短且不易受損變形，其封裝元件之電性的傳輸距離短速度快，可符合目前及未來數位系統速度的需求。

目前已經有許多不同型態之半導體封裝，不論是那一種



五、發明說明 (2)

型態之封裝，絕大部分之封裝為先行切割成為個體之後在進行封裝。然而，晶圓型態封裝為半導體封裝之一種趨勢，其中之一種技術將如下所述。參閱圖一，複數之晶粒 (dice) 4形成於半導體晶圓 2之表面，一玻璃 8利用黏著物質 6貼附於晶圓 2之表面上。然後，沒有晶粒的那一面將被研磨以降低其厚度，通常稱做背面研磨 (back grinding)，如圖二所示。接著，晶圓被蝕刻用以分離 IC 以及部分之黏著物質 6將被暴露，參閱圖三。請參閱圖四，另一玻璃 12利用黏著物質 10貼附於相對於具有晶粒之那一面。下一步驟顯示於圖五，一膜層 (compliant layer) 14形成於第一玻璃 8之上，接著蝕刻該第一玻璃 8以及蝕刻進入黏著物質 8、10之部分，如圖六所示，通稱為切口製程 (notch process)，因而形成一溝渠 16於玻璃 8以及黏著物質 6、10之中，錫球將在後續製程中形成於膜層 14之上。

一由鉅錫所組成之膜層 18將被圖案化於第一玻璃 8之表面上，以及沿著溝渠 16之表面，以提供電性連接，膜層 18也覆蓋膜層 14，如圖七所示。請參閱圖八，一錫膏罩幕 20接著形成於鉅錫膜層 18之表面以及玻璃 8之上以暴露對應於膜層 14之表面，參閱圖九與圖十，錫球 22然後利用傳統之植球技術植於被錫膏罩幕 20所暴露之鉅錫膜層 18表面，下一步驟為執行一切割製程以藉由溝渠 14蝕刻該黏著物質 10穿透該玻璃 12以分離該晶粒，如昔知技術，在此步驟實



五、發明說明 (3)

施之前，一切割膠帶 24 先行貼附於第二玻璃之上。

然而，上述之製程過於複雜，其需要切口製程以及切割第二玻璃之步驟用以分離晶粒，此外，其包含形成陡峭之溝渠斜面，形成於其上之鐸錫將不易附著而導致開路，因此元件之品質性能將因而降低。

發明目的及概述：

本發明之目的為提供一具有真實晶片大小之封裝。

本發明之另一目的為提供一低製作成本以及揭露一種晶圓型態封裝以及其製程。

本發明之再一目的為提供一可以適用於晶圓型態測試 (wafer level test) 之晶圓型態封裝，以利於晶圓型態崩應測試以及其它之測試。崩應測試 (burn-in test) 為加溫壽命測試，挑出早期夭折之產品。

一晶圓背面先利用一研磨裝置研磨，在實施此步驟之前，晶圓膠帶先行貼附於晶圓之正面，以及研磨之後再將其移除。一玻璃貼附於晶圓背面，適合之材質包含，但不限定為環氧樹脂 (epoxy)，玻璃可以利用習知技術之貼附技術加以附著，然後，利用一具有特定圖案之光阻作為蝕刻罩幕，蝕刻上述之晶圓用以分離 IC。最佳之狀態為光阻開口對應於晶圓上之切割道 (scribe line)，以暴露該切割道。一黏著物質具有 1-2mil 之厚度塗佈於晶圓之第二面，最佳為利用真空塗佈製程，黏著物質可以為環氧樹脂



五、發明說明 (4)

(epoxy)，此步驟近似於現有膠帶之原理，將其改良應用於晶圓表面之保護層。此真空塗佈製程可以防止泡泡形成於其中，且環氧樹脂 (epoxy) 將填入溝渠之中。一固化之步驟可以利用紫外線照射或加熱處理以硬化上述之環氧樹脂 (epoxy)。一研磨製程可以選擇性地使用，用以研磨在具有電路那一側之晶圓表面上之環氧樹脂 (epoxy)。複數個開孔形成於黏著物質之中以及對應於晶粒上之墊

(pad)，接著，電路重新分佈設置於環氧樹脂 (epoxy) 之表面之上，部分之電路接觸墊以建立電性之連接。一錫膏罩幕作為一絕緣，錫膏罩幕暴露電路特定之區域，這電路被暴露之區域為預定來置放導體球之區域。一印刷製程用來塗佈錫膏於上述特定之區域之上。然後利用熱流過程將錫膏變成錫球

本發明之晶圓型態封裝，包含：一具有複數個晶粒形成於其上之晶圓，其中該晶圓具有溝渠形成於該切割道之上，一材質利用第一黏著材質貼附於該晶圓之背面，第二黏著材質位於該複數個晶粒之上以及填入該溝渠，該複數個晶粒具有複數個墊形成於其上，一電路佈局形成於該第二黏著材質之上，以及連接該複數個墊，一錫球罩幕覆蓋該電路佈局以及該第二黏著材質，以及暴露部分之該電路佈局以及錫球形成於該被暴露之部分之上以及連接該電路佈局。



五、發明說明 (5)

發明詳細說明：

本發明揭露一種晶圓型態封裝以及製作品圓型態封裝之方法，詳細說明如下，所述之較佳實施例只做一說明非用以限定本發明，參閱圖一，一晶圓背面(或第一面)先利用一研磨裝置研磨，在實施此步驟之前，晶圓膠帶先行貼附於晶圓5之正面，以及貼附一材質如玻璃之後再將其移除。在較佳之實施例之中，在經過研磨後之晶圓5厚度約為6-8 mil。接續，一材質3例如玻璃貼附於具有複數個晶粒形成於其上之晶圓背面，適合之材質包含，但不限定為環氧樹脂(epoxy)，玻璃1可以利用習知技術之貼附技術加以附著，較佳為玻璃1之厚度約為1-2 mil，實際上之厚度與製程之其它參數有關。石英或陶瓷可以取代玻璃1。在貼附製程中所選用之材料如具有接近晶圓之熱膨脹係數較佳，通常，矽之熱膨脹係數約為 $3\text{cm}/\text{cm}/^{\circ}\text{C}$ ，以及玻璃之熱膨脹係數約為 $3-5\text{cm}/\text{cm}/^{\circ}\text{C}$ 。

然後，利用一具有特定圖案之光阻(未圖示)作為蝕刻罩幕，蝕刻上述之晶圓用以分離IC。最佳之狀態為光阻開口對應於晶圓上之切割道(scribe line)，以暴露該切割道7。然後利用濕蝕刻蝕刻晶圓以使得利用本步驟所形成之溝渠具有斜面，此可以利用傳統之蝕刻技術控制蝕刻配方而得到。



五、發明說明 (6)

參閱圖十一至圖十三，一黏著物質 11 具有 1-2mil 之厚度塗佈於晶圓 5 之第二面，最佳為利用真空塗佈製程，黏著物質 11 可以為環氧樹脂 (epoxy)，此步驟近似於現有膠帶之原理，將其改良應用於晶圓表面之保護層。此真空塗佈製程可以防止泡泡形成於其中，且環氧樹脂 (epoxy) 將填入溝渠 9 之中。一固化之步驟可以利用紫外線照射或加熱處理以硬化上述之環氧樹脂 (epoxy)。一研磨製程可以選擇性地使用，用以研磨在具有電路那一側之晶圓表面上之環氧樹脂 (epoxy)。

複數個開孔 15 形成於黏著物質 11 之中以及對應於晶粒上之墊 (pad) 13，當然，這些墊 13 將被暴露出，必須注意的是環氧樹脂 (epoxy) 對雷射而言為可透光材質，因此位於切割道上之對準標記將不會被環氧樹脂 (epoxy) 所遮蓋。換言之，對準標記對後續之對準裝置而言為可見地。此外，黏著物質 11 必須具有可流動性以及具有抗水氣之特性。

接著，導電通道佈局或通稱之墊電路重新分佈設置於環氧樹脂 (epoxy) 11 之表面之上，如圖十四所示。電路 17 可以利用導電物質所組成例如金屬或合金，較佳為利用 Cr-Cu 合金。部分之電路 17 接觸墊 13 以建立電性之連接。仍請參閱圖十四，一錫膏罩幕 19 遮住電路 17 作為一絕緣且



五、發明說明 (7)

錫膏罩幕 19 暴露電路 17 特定之區域，這電路 17 被暴露之區域為預定來置放導體球之區域。一印刷製程用來塗佈錫膏 21 於上述特定之區域之上。然後利用熱流過程將錫膏變成錫球，此熱流之溫度可以利用已知之製程溫度，參閱圖十五。半導體晶粒 5 將耦合於上述之錫球 21，錫球可以利用已知的 BGA 技術加以製作，較佳之錫球分佈為一陣列排列，錫球連接上述之電路因而建立電性連接。

然後，晶圓傳送至晶圓型態測試裝置中進行晶圓型態測試，例如崩應測試 (burn-in)，完成晶圓型態測試之後，然後進行切割用以分離個別之晶粒。切割過程主要沿著切割道切割而得到晶片尺寸封裝 (chip scale package ; CSP)。下表為晶圓型態晶片尺寸封裝 (wafer level CSP) 與晶片型態晶片尺寸封裝 (chip level CSP) 之比較。

本發明以較佳實施例說明如上，而熟悉此領域技藝者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。



表一

| 晶圓型態 CSP | 晶片型態 CSP |
|--|---|
| 整著晶圓進行封裝(Whole wafer packaging) | 個別晶片封裝(Individual chip packaging) |
| 最大之尺寸至晶粒交界(Max size extends to die street) | 最大尺寸：晶粒尺寸+百分之二十(Max size : die size +20 percentage) |
| 每一接腳約美金 0.1 到 0.5 分(Economy of scale 0.1 to 0.5 cent/lead) | 每一接腳約美金 1 到 5 分(Costly 1 to 5 cent/lead) |



五、發明說明 (9)

466652 第一為本發明之晶圓型態封裝與其它技術之比較。

表二

| | 晶圓型態 CSP | Tessera (micro-BGA) | Rigid laminate |
|------------------|---|---------------------------------------|---------------------------------------|
| 成本 (美金分/每一接腳) | 晶圓型態: 多組製程 小於 0.5 美金分/每一接腳 | 個別晶片封裝: 大於 1 美金分/每一接腳 | 個別晶片封裝: 大於 1 美金分/每一接腳 |
| 產品設計 | 初期投資小於 10k 美金; 可彈性變換; 變換週期: 一天之內 | 初期投資大於 50k 美金; 變換成本昂貴; 變換週期: 數月 | 初期投資大於 30k 美金; 變換成本昂貴; 變換週期: 數月 |
| 進入成本 | 中等; 可以利用晶圓廠之設備 | 中等 | 低 |
| 可靠度 | "真實" 封裝, 具抗濕、 溫度以及熱障, etc. | 矽基黏於一面 | Glob top on flex |
| 組成 | BGA | BGA | BGA |
| 彈性 | 只變更單基 | 需要新的設計以及製作 | 需要大幅度之新的設計以及製作 |
| 尺寸 | 晶粒大小 | 大於晶粒大小 | 超過晶粒尺寸之百分之二十 |
| 晶粒縮減(Die shrink) | 可以提供, 佈局可以到邊界(30u) | 受限於空間, 自邊界具佈局 300u | 受限於空間, 全線焊線(wire bonding)而犧牲縮小化 |
| 製程 | 晶圓廠製程-其它 | TAB/lead bond | Wire bond/Flip chip |
| 應用 | Memory, logic, ASIC, IPC, smart media, analog, RF | Memory, logic | Memory, Logic |
| 接腳數目 | 小於 200 pins | 小於 200 pins | 沒有限制 |
| 中央墊(Center pads) | 特種 super | 不容易 | 尚可 |



圖式簡單說明

圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一至十圖為傳統技術之截面圖。

圖十一所顯示為本發明披附一玻璃於晶圓背面以及蝕刻晶圓步驟之半導體晶圓截面圖。

圖十二所顯示為本發明真空塗佈環氧樹脂 (epoxy) 於晶圓上步驟之半導體晶圓截面圖。

圖十三所顯示為本發明以雷射開整穿孔 (pad open) 步驟之半導體晶圓截面圖。

圖十四所顯示為熱流錫膏步驟之半導體晶圓截面圖。

圖十五所顯示為本發明披附一玻璃於晶圓背面以及蝕刻晶圓步驟之半導體晶圓截面圖。

元件符號對照

- | | |
|-----------------|-----------------|
| 1 玻璃 | 2 晶圓 |
| 3 環氧樹脂 (epoxy) | 4 晶粒 |
| 5 晶圓 | 6 環氧樹脂 (epoxy) |
| 7 切割道 | 8 玻璃 |
| 9 溝渠 | 10 環氧樹脂 (epoxy) |
| 11 環氧樹脂 (epoxy) | 12 玻璃 |
| 13 墊 | 14 膜層 |
| 15 開孔 | 16 溝渠 |



圖式簡單說明

- | | |
|---------|---------|
| 17 電路 | 18 鍍錫膜層 |
| 19 錫膏罩幕 | 20 錫膏罩幕 |
| 21 錫球 | 22 錫球 |
| 24 切割膠帶 | |



六、申請專利範圍

申請專利範圍：

1. 一種晶圓型態封裝之製程，該製程包含：
提供一具有複數個晶粒形成於其上之晶圓；
研磨該晶圓之背面；
使用一第一黏著物質貼附一材質於該晶圓之該背面；
蝕刻該晶圓上之切割道用以分離該複數個晶粒；
真空塗佈第二黏著物質於該被蝕刻之晶圓上；
執行一墊開孔步驟以暴露該複數晶粒上之該複數墊；
執行電路重新分佈步驟，將電路佈局於該第二黏著物質之上；
形成一錫膏罩幕於該第二黏著物質之上用以暴露一在該電路上之預定區域；
執行一錫膏印刷步驟以形成錫膏於該預定區域之上；以及
熱流該錫膏。
2. 如申請專利範圍第1項之晶圓型態封裝之製程，其中該貼附之材質包含玻璃。
3. 如申請專利範圍第1項之晶圓型態封裝之製程，其中該貼附之材質包含陶瓷。
4. 如申請專利範圍第1項之晶圓型態封裝之製程，其中該貼附之材質包含石英。



六、申請專利範圍

- 5.如申請專利範圍第1項之晶圓型態封裝之製程，其中該第一黏著材質包含環氧樹脂(epoxy)。
- 6.如申請專利範圍第1項之晶圓型態封裝之製程，其中該第二黏著材質包含環氧樹脂(epoxy)。
- 7.如申請專利範圍第1項之晶圓型態封裝之製程，其中在研磨該晶圓之背面之前，更包含貼一膠帶於該晶圓之上。
- 8.如申請專利範圍第7項之晶圓型態封裝之製程，其中在貼附該材質於該晶圓之背面後，更包含去除該膠帶。
- 9.如申請專利範圍第1項之晶圓型態封裝之製程，其中在真空塗佈該第二黏著材質之後更包含固化該第二黏著材質。
- 10.如申請專利範圍第9項之晶圓型態封裝之製程，其中上述之固化為使用紫外線照射。
- 11.如申請專利範圍第1項之晶圓型態封裝之製程，其中在執行該墊開孔步驟之前，更包含研磨該第二黏著材質。
- 12.如申請專利範圍第1項之晶圓型態封裝之製程，其中上



六、申請專利範圍

述之墊開孔為利用雷射形成。

13.如申請專利範圍第1項之晶圓型態封裝之製程，其中在執行該熱流步驟之後，更包含測試該晶圓。

14.如申請專利範圍第13項之晶圓型態封裝之製程，其中在執行該測試之後，更包含言該切割道切割該晶圓。

15.一種晶圓型態封裝，包含：

一具有複數個晶粒形成於其上之晶圓，其中該晶圓具有溝渠形成於該切割道之上；

一材質利用第一黏著材質貼附於該晶圓之背面；

第二黏著材質位於該複數個晶粒之上以及填入該溝渠，該複數個晶粒具有複數個墊形成於其上；

一電路佈局形成於該第二黏著材質之上，以及連接該複數個墊；

一錫球罩幕覆蓋該電路佈局以及該第二黏著材質，以及暴露部分之該電路佈局；以及

錫球形成於該被暴露之部分之上以及連接該電路佈局。

16.如申請專利範圍第15項之晶圓型態封裝，其中該貼附之材質包含玻璃。

17.如申請專利範圍第15項之晶圓型態封裝，其中該貼附



六、申請專利範圍

之材質包含陶瓷。

18.如申請專利範圍第15項之晶圓型態封裝，其中該貼附之材質包含石英。

19.如申請專利範圍第15項之晶圓型態封裝，其中該第一黏著材質包含環氧樹脂(epoxy)。

20.如申請專利範圍第15項之晶圓型態封裝，其中該第二黏著材質包含環氧樹脂(epoxy)。



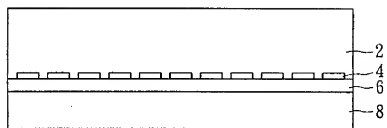


圖 一
(習用技術)

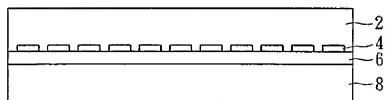


圖 二
(習用技術)

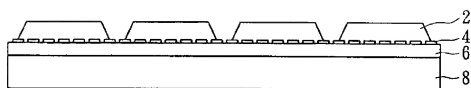


圖 三
(習用技術)

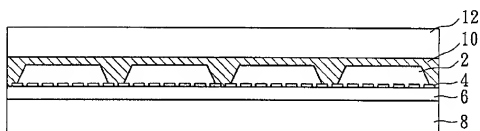


圖 四
(習用技術)

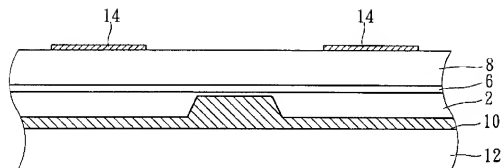


圖 五
(習用技術)

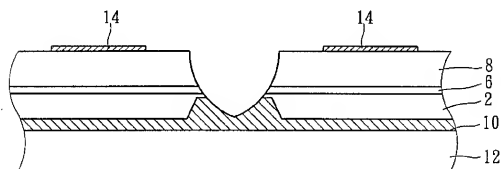


圖 六
(習用技術)

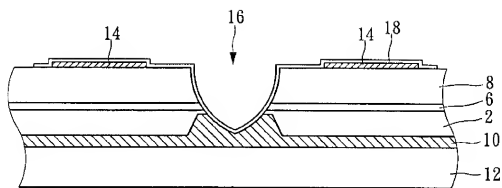


圖 七
(習用技術)

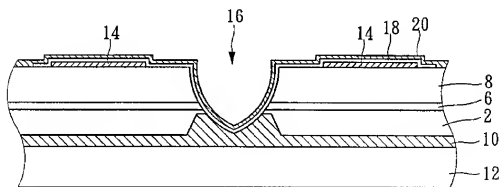


圖 八
(習用技術)

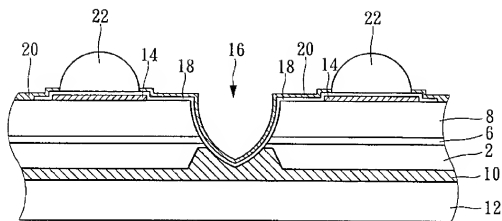


圖 九
(習用技術)

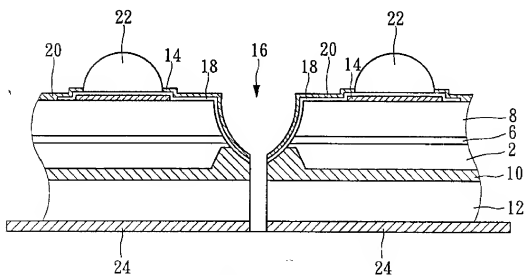


圖 十
(習用技術)

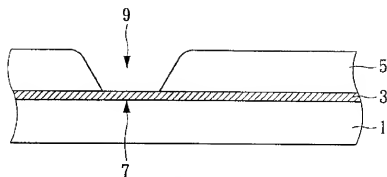


圖 十一

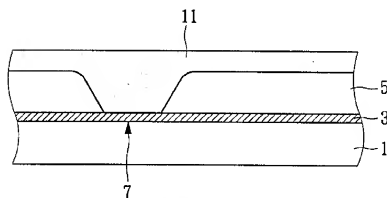


圖 十二

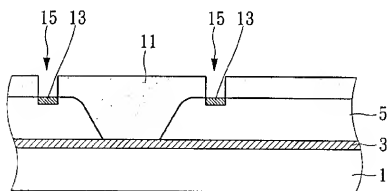


圖 十三

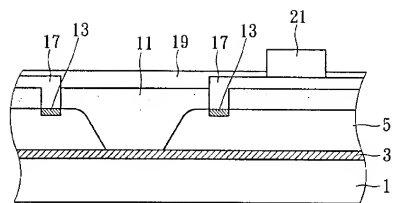


圖 十四

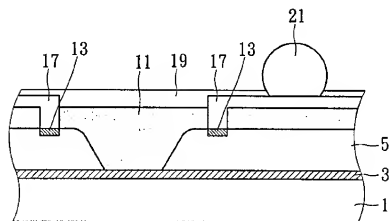


圖 十五

四、中文發明摘要 (發明之名稱：)

晶圓型態封裝及其製程

本發明包含藉由研磨器研磨晶圓背面，接著，藉由環氧樹脂將玻璃貼附於晶圓背面，然後，蝕刻晶圓用以隔離晶粒。藉由真空塗佈製程環氧樹脂塗佈於晶圓之上，然後，一固化步驟使用紫外光輻射以硬化環氧樹脂，選擇性使用研磨製程研磨晶圓電路面之環氧樹脂。複數個墊開口形成於環氧樹脂之中，接著，墊電路重新分佈於環氧樹脂之上表面。鉅錫罩幕覆蓋於環氧樹脂及墊電路做為絕緣，執行一印刷製程將鉅錫形成於預設區域及鉅錫接觸至墊電路。然後，熱回流鉅錫，即將晶圓設置於測試裝置做晶圓型態測試。在測試後一切割製程接著執行藉由切割切割道用以

英文發明摘要 (發明之名稱：)

Abstract of the Disclosure

The present invention includes polishing the wafer backside by a grinder. Subsequently, a glass is laminated on the wafer backside surface by using epoxy. Then, the wafer is etched to isolate the dies. An epoxy is then coated on the wafer by means of vacuum coating process. Then, a curing step is performed by using the ultraviolet (UV) radiation to harden the epoxy. A grinding process is optional used to grind the epoxy on the wafer

